

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

© EPDOC / EPO

PN - JP2179045 A 19900712  
PD - 1990-07-12  
PR - JP19880333150 19881228  
OPD - 1988-12-28  
TI - CLOCK FREQUENCY ADJUSTMENT METHOD FOR DATA  
RECEIVER  
IN - YAMAGISHI TORU  
PA - VICTOR COMPANY OF JAPAN  
IC - H04L7/00

© WPI / DERWENT

TI - Regulating clock frequency of data receiving device - using  
frequency difference between writing and reading clocks  
NoAbstract Dwg 1/3  
PR - JP19880333150 19881228  
PN - JP2179045 A 19900712 DW199034 000pp  
PA - (VICO ) VICTOR CO OF JAPAN  
IC - H04L7/00  
OPD - 1988-12-28  
AN - 1990-256702 [34]

© PAJ / JPO

PN - JP2179045 A 19900712  
PD - 1990-07-12  
AP - JP19880333150 19881228  
IN - YAMAGISHI TORU  
PA - VICTOR CO OF JAPAN LTD  
TI - CLOCK FREQUENCY ADJUSTMENT METHOD FOR DATA  
RECEIVER  
AB - PURPOSE: To prevent the occurrence of an idle buffer or an  
occupied buffer by adjusting a frequency of a readout clock in  
response to the frequency difference between a write clock and the  
readout clock.  
- CONSTITUTION: When an oscillated frequency of a VCO 5 is  
lowered and a count of an up-down counter 6 exceeds +x, an  
output of a ROM 7 is accumulated to a voltage outputted before  
the excess in the increasing direction and an output of an  
integration device 8 is increased. The oscillated frequency of the  
VCO 5 is increased accordingly and the count of the counter 6 is

corrected so as to be within a range of '-x or over and +x or below'.  
When the oscillated frequency of the VCO 5 is increased and the count of the counter 6 exceeds -x, the output of the ROM7 is accumulated to the voltage outputted before the excess in the decreasing direction and the output of the integration device 8 is lowered. The oscillated frequency of the VCO 5 is decreased accordingly and the count of the counter 6 is corrected so as to be within a range of '-x or over and +x or below' similarly.

I - H04L7/00

## ⑫ 公開特許公報(A) 平2-179045

⑤ Int.Cl.<sup>3</sup>

H 04 L 7/00

識別記号

A

庁内整理番号

6914-5K

⑬ 公開 平成2年(1990)7月12日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 データ受信装置のクロック周波数調整方法

⑮ 特 願 昭63-333150

⑯ 出 願 昭63(1988)12月28日

⑰ 発 明 者 山 岸 亨 神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

⑱ 出 願 人 日本ビクター株式会社 神奈川県横浜市神奈川区守屋町3丁目12番地

⑲ 代 理 人 弁理士 佐藤 一雄 外3名

## 明 細 書

## 1. 発明の名称

データ受信装置のクロック周波数調整方法

## 2. 特許請求の範囲

通信回線からのリアルタイム入力データをその送信元からの書き込みクロックによりバッファに蓄込み、このバッファから前記書き込みクロックとは別の読出しクロックにより読出し、その読出しデータを出力データとするデータ受信装置の基本周波数調整方法であって、

前記書き込みクロックと前記読出しクロックとの周波数差を検出し、

この周波数差として所定値以内を表している検出信号に対しては出力が不変となる制御信号発生回路からの制御信号により、前記周波数差に応じて前記読出しクロックの周波数を調整する、ことを特徴とする、データ受信装置のクロック周波数調整方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、通信回線を通じて送られてくるリアルタイムの音声または画像を表すデータを受信するデータ受信装置のクロック周波数調整方法に関するものである。

(従来の技術)

従来、通信回線からのリアルタイム入力データをその送信元からの書き込みクロックによりバッファに蓄込み、このバッファから前記書き込みクロックとは別の読出しクロックにより読出したデータを出力データとする形式のデータ受信装置がある。

第3図は、この種の従来の装置を示すものである。

この図において、Lは通信回線、1はデコーダ、2はバッファ、3は水晶発振器、4はD/Aコンバータである。通信回線Lからのリアルタイムの入力データは、デコーダ1に入力される。このデコーダ1は、入力データが送信側において時間軸圧縮されて送られてきた場合、これに伸張処理を

施して元の時間軸に戻すとともに、該入力データを復調するなどして送信側の基本周波数に相当する周波数のクロックを生成する。入力データは、このようにしてデコードされてデータとクロックとに分離される。そのデータは蓄込みデータとして、クロックは蓄込みクロックとしてバッファ2に与えられ、これによりデコーダ1からのデータはバッファ2内に格納される。水晶発振器3の出力は読出しクロックとしてバッファ2に供給されている。これによりバッファ2内に格納されたデータが読出され、D/Aコンバータ4によりアナログ信号に変換されて、リアルタイムの音声や画像を表す出力データとされる。

このように、入力データを、まず送信元からのクロックによりバッファ2に一旦蓄込み、その後、発振器3からのクロックにより読出して、これを出力データとすることにより、データが通信回線路上を伝送されるときに、その経由してくるノードでの遅延等が原因となる周波数のバラツキを吸収するようにしているものである。

転送を行うものとするとき、 $0.1(-1/|fs - fs'|)$ 秒に1バイトの割合でバッファ2にデータが蓄積されていくこととなる。そして、バッファ2の容量を例えば100キロバイトとすると、 $10(-100 \text{ キロバイト} \times 0.1)$ 秒でバッファ2は満杯になってしまうのである。

本発明は、このような従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、バッファの空状態や満杯状態を発生させることのない、データ受信装置のクロック周波数調整方法を提供することにある。

#### 〔課題を解決するための手段〕

本発明に係るデータ受信装置のクロック周波数調整方法は、蓄込みクロックと読出しクロックとの周波数差を検出し、この周波数差に応じて読出しクロックの周波数を調整するとともに、所定値以内の周波数差を表している検出信号に対しては出力が不変となる制御信号発生回路からの制御信号によりその制御を行うようにしたことを特徴とする。

#### 〔発明が解決しようとする課題〕

しかしながら、この従来の装置を構成する水晶発振器は、その発振周波数が電源電圧の変動や温度変化により変動することがあり、この場合、バッファ2への蓄込みクロックと読出しクロックとの周波数の差が発生する。そのため、このような状態が継続すると、その周波数の誤差が累積しバッファ2からのデータの読出しが正常に行われなくなるという問題がある。すなわち、蓄込みクロックより読出しクロックの方が周波数が高いと、蓄込みが読出しに追付かなくなって読出そうとしてもバッファ2にデータが無いというような状態を生じ、逆に蓄込みクロックより読出しクロックの方が周波数が低いと、読出しが蓄込みに追付かなくなってバッファ2が満杯になりデータの消失が発生することとなるのである。

ここで、基本周波数を $fs$ 、実際の読出しクロックの周波数を $fs'$ と置き、例えば、 $fs = 1000010 \text{ Hz}$ 、 $fs' = 1000000 \text{ Hz}$ で一定であるとし、1回のクロックで1バイトの

#### 〔作用〕

このような構成を有する本発明において、読出しクロックの周波数を蓄込みクロックの周波数を基準に調整するようにしたところは一つの大きな特徴である。

すなわち、蓄込みクロックは、上述した如く、伝送上の要因によりその周波数に不均一を生ずるが、平均すれば $fs$ である。本発明は、この点に着目し、若干の周波数変動は伝送上の要因による蓄込みクロックの周波数不均一であるとして無視し、その範囲を越えたとき、読出しクロックの周波数変動であるとしてその補正を行うようにしたものである。本発明によれば、まず、蓄込みクロックと読出しクロックとの周波数差に応じて読出しクロックの周波数を調整するようにしているため、読出しクロックの発振源が電源電圧の変動や温度変化等の影響を受けて、その蓄込みクロックと読出しクロックとの周波数差が生じたとしてもその補正がなされ、誤差が累積することを防止することができる。

また、この制御を行う制御信号の発生回路は、所定値以内の周波数差に対しては不感帯となっているため、その不感帯の範囲を伝送上のバラツキの範囲として設定すれば、この種の装置本来のバラツキ吸収動作は確実に行われる。

#### (実施例)

以下に本発明の実施例について図面を参照しつつ説明する。

第1図は本発明方法を実現するデータ受信装置の一実施例のブロック図、第2図はその制御信号発生回路を構成するROMの出力特性を示す曲線図である。

まず、第1図において、5は電圧制御水晶発振器であり、ここではバッファ2への送出しクロックとしては、この電圧制御発振器5の出力が供給されている。

6はアップダウンカウンタである。アップダウンカウンタ6は、デコーダ1からの音込みクロックによりカウントアップし、電圧制御発振器5からの送出しクロックによりカウントダウンするも

ので、その出力には、音込みクロックと送出しクロックとの周波数の差に対応するカウント値が現れるようになっていて、このアップダウンカウンタ6により音込みクロックと送出しクロックとの周波数差が検出されるようになっている。

7はROM、8は積分器である。ROM7は、アップダウンカウンタ6の各カウント値に対応する送出しクロック周波数の操作量となるデータを保持しており、第2図に示すように、アップダウンカウンタ6のカウント値が $-x$ 以上 $+x$ 以下のときは不変動で、同カウント値が $+x$ より大きくなるときはカウント値の増加に比例して増加し、同カウント値が $-x$ 未満のときにはカウント値の減少に比例して減少するような出力を発生する。上記“ $-x$ 以上 $+x$ 以下”の範囲は音込みクロックの周波数の不均一によるアップダウンカウンタ6のカウント値のバラツキの最大範囲に相当するものである。積分器8にはROM7の出力を積分するものとされており、その積分値が電圧制御発振器5の制御端子に供給され、この積分器8の出

力電圧に応じた周波数のクロックが発振器5から出力される。

本実施例によれば、まず、アップダウンカウンタ6のカウント値が“ $-x$ 以上 $+x$ 以下”の範囲に収まっている間は、ROM7がゼロを出力しているため、積分器8の出力電圧は一定値を保持し、よって電圧制御発振器5の発振周波数は、電源電圧の変動や温度変化等の影響が無ければ一定値を保つ。

しかし、かかる要因によって、電圧制御発振器5の発振周波数が変化し、アップダウンカウンタ6のカウント値が“ $-x$ 以上 $+x$ 以下”の範囲を越えるようになると、積分器8+方向あるいは-方向の入力が発生することとなる。

まず、電圧制御発振器5の発振周波数が低下し、アップダウンカウンタ6のカウント値が $+x$ を越えた場合、その越える前まで出力していた電圧値にROM7の出力が+方向に累積加算されて積分器8の出力は増大し、これに伴って電圧制御発振器5の発振周波数が高められ、アップダウンカウ

ンタ6のカウント値が“ $-x$ 以上 $+x$ 以下”の範囲内に収まるように補正されることとなる。

また、電圧制御発振器5の発振周波数が増大し、アップダウンカウンタ6のカウント値が $-x$ を越えた場合、その越える前まで出力していた電圧値にROM7の出力が-方向に累積加算されて積分器8の出力が低下し、これに伴って電圧制御発振器5の発振周波数が低下させられ、同様にアップダウンカウンタ6のカウント値が“ $-x$ 以上 $+x$ 以下”の範囲内に収まるように補正されることとなる。

このようにして、電圧制御発振器5の発振周波数、即ち送出しクロックの周波数が補正されることにより、バッファ2に空状態やオーバーフロー状態が生ずることを防止することができ、音声・画像などを正常に再生することができる。

#### (発明の効果)

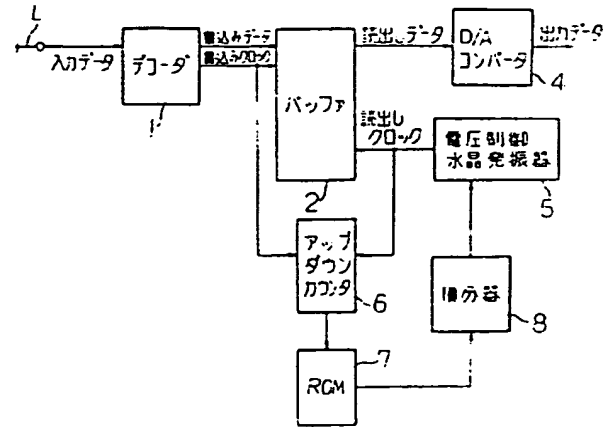
以上説明したように本発明によれば、所定以内の周波数変動は伝送上の要因による音込みクロックの周波数不均一であるとして無視し、その範囲

を越えたとき、読出しクロックの周波数変動であるとしてその補正を行うようになるので、バッファの空状態や満杯状態を発生させることが無く、電源電圧の変動や温度変化等があっても正常な音声・画像等のリアルタイムデータを出力することができるという効果を奏する。

#### 4. 図面の簡単な説明

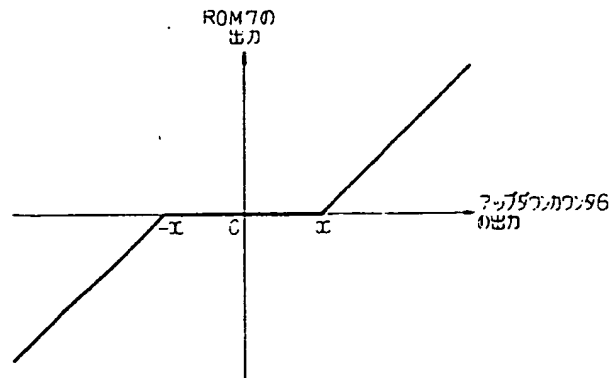
第1図は本発明方法を実現するデータ受信装置の一実施例のブロック図、第2図はその制御信号発生回路を構成するROM7の出力特性を示すグラフ、第3図は従来のデータ受信装置のブロック図である。

1…デコーダ、2…バッファ、4…D/Aコンバータ、5…電圧制御水晶発振器、6…アップダウンカウンタ、7…ROM、8…積分器

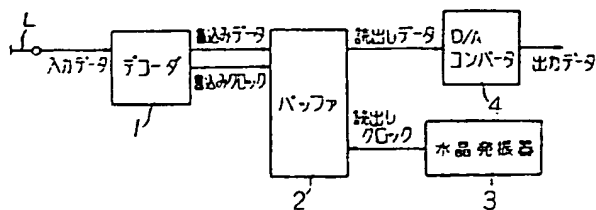


第1図

出願人代理人 佐 藤 一 雄



第2図



第3図